

PCT

WELTORGANISATION FÜR GEISTIGES EIGENTUM
Internationales Büro



INTERNATIONALE ANMELDUNG VERÖFFENTLICHT NACH DEM VERTRAG ÜBER DIE
INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT)

(51) Internationale Patentklassifikation ⁶ :

H01L 23/498, 21/68

A1

(11) Internationale Veröffentlichungsnummer: WO 99/26287

(43) Internationales
Veröffentlichungsdatum:

27. Mai 1999 (27.05.99)

(21) Internationales Aktenzeichen: PCT/DE98/03228

(22) Internationales Anmeldedatum: 5. November 1998 (05.11.98)

(30) Prioritätsdaten:

197 50 316.0

13. November 1997 (13.11.97) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): BORCHERT, Jörg [DE/DE];
Maxhofstrasse 35, D-81475 München (DE).

(74) Gemeinsamer Vertreter: SIEMENS AKTIENGE-
SELLSCHAFT; Postfach 22-16 34, D-80506 München
(DE).

(81) Bestimmungsstaaten: BR, CN, JP, KR, MX, RU, UA, US,
europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI,
FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

Veröffentlicht

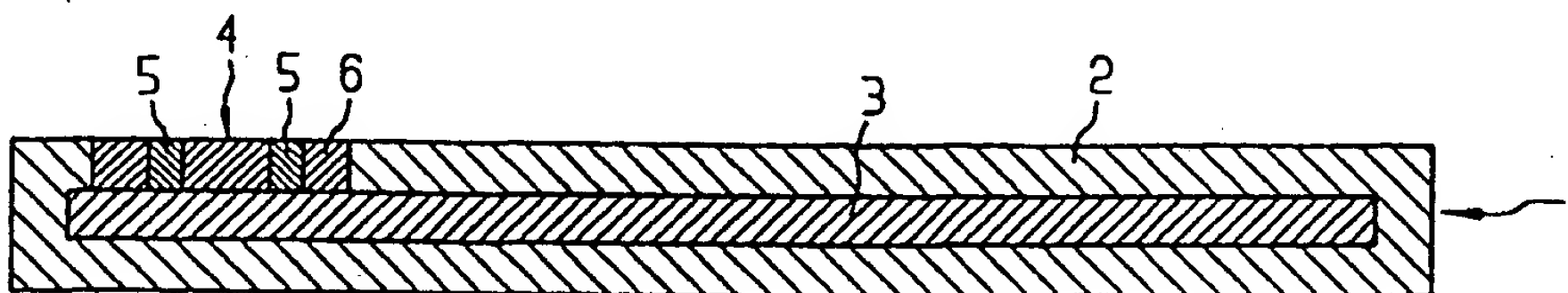
Mit internationalem Recherchenbericht.

Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist; Veröffentlichung wird wiederholt falls Änderungen
eintreffen.

3

(54) Title: SILICON FILM USED AS A SUBSTRATE FOR SEMICONDUCTOR CIRCUITS IN CARDS

(54) Bezeichnung: SILIZIUMFOLIE ALS TRÄGER VON HALBLEITERSCHALTUNGEN ALS TEIL VON KARTEN



(57) Abstract

A semiconductor chip (3) which is used in a chip card (1) has a thickness of less than approximately 100 μm . According to the inventive method, the chip cards (1) can be provided with semiconductor chips (3) having especially large-surfaces, whereby extensive circuit structures and even large-surface storage structures can be provided semiconductor chips (3).

(57) Zusammenfassung

Ein Halbleiter-Chip (3) zur Verwendung in einer Chipkarte (1) hat eine Stärke von weniger als ca. 100 μm . Mit dem erfindungsgemässen Verfahren lassen sich Chipkarten (1) mit besonders grossflächig ausgebildeten Halbleiter-Chips (3) versehen, wobei auf dem Halbleiter-Chip (3) umfangreiche Schaltungsstrukturen und sogar grossflächige Speicheranordnungen vorgesehen werden können.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidshon	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland	ML	Mali	TR	Türkei
BG	Bulgarien	HU	Ungarn	MN	Mongolei	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MR	Mauretanien	UA	Ukraine
BR	Brasilien	IL	Israel	MW	Malawi	UG	Uganda
BY	Belarus	IS	Island	MX	Mexiko	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	NE	Niger	UZ	Usbekistan
CF	Zentralafrikanische Republik	JP	Japan	NL	Niederlande	VN	Vietnam
CG	Kongo	KE	Kenia	NO	Norwegen	YU	Jugoslawien
CH	Schweiz	KG	Kirgisistan	NZ	Neuseeland	ZW	Zimbabwe
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	PL	Polen		
CM	Kamerun	KR	Republik Korea	PT	Portugal		
CN	China	KZ	Kasachstan	RO	Rumänien		
CU	Kuba	LC	St. Lucia	RU	Russische Föderation		
CZ	Tschechische Republik	LI	Liechtenstein	SD	Sudan		
DE	Deutschland	LK	Sri Lanka	SE	Schweden		
DK	Dänemark	LR	Liberia	SG	Singapur		
EE	Estland						

Beschreibung

Siliziumfolie als Träger von Halbleiterschaltungen als Teil von Karten

5

Die Erfindung betrifft ein Verfahren zur Herstellung einer Chipkarte sowie einen Halbleiter-Chip, der insbesondere zur Verwendung in einer Chipkarte bestimmt ist.

- 10 Im Stand der Technik sind Chipkarten bekannt, die einen aus Silizium hergestellten Chip aufweisen. Bei den im Stand der Technik bekannten Chipkarten ist von Nachteil, daß die Komplexität der auf dem Chip untergebrachten elektrischen Schaltung limitiert ist, weil die maximale Größe des Chips auf ca.
15 25 mm² begrenzt ist.

Es ist daher Aufgabe der Erfindung, eine Chipkarte sowie ein Verfahren zur Herstellung einer Chipkarte bereitzustellen, mit dem sich intelligentere Chipkarten herstellen lassen. Es
20 ist weiterhin Aufgabe der Erfindung, einen Halbleiter-Wafer bzw. einen daraus hergestellten Halbleiter-Chip bereitzustellen, mit dem sich intelligentere Chipkarten herstellen lassen.

- 25 Diese Aufgabe wird gemäß der Erfindung dadurch gelöst, daß das Verfahren zur Herstellung einer Chipkarte die folgenden Schritte aufweist:

- Vorsehen eines Halbleiter-Wafers mit einer aktiven Seite und mit einer passiven Seite,
- 30 - Einbringen von großflächigen elektrisch aktiven Strukturen in die aktive Seite, und zwar mittels bekannter Verfahren wie z.B. Dotierung,
- Glätten der aktiven Seite des Halbleiter-Chips insbesondere mit einem CMP-Verfahren,
- 35 - Aufbringen einer reversiblen Klebstoffschicht auf die aktive Seite,

- Aufbringen des Halbleiter-Wafers auf einen Handling-Wafer, und zwar derart, daß die Klebstoffschicht zwischen der aktiven Seite des Halbleiter-Wafers und dem Handling-Wafer gelegen ist,
- 5 - Abtragen der passiven Seite des Halbleiter-Wafer bis auf eine Dicke von circa 100 Mikrometern oder weniger,
- Aufteilen des Halbleiter-Wafers in wenigstens einen Halbleiter-Chip, insbesondere durch ein mechanisches Verfahren wie Sägen und/oder durch ein thermisches Verfahren
- 10 wie Laserschneiden, wobei der Handling-Wafer dabei vorzugsweise nicht zerstört wird,
- Lösen der Verbindung zwischen Handling-Chip und Halbleiter-Chip durch Passivierung der Klebstoffschicht,
- Aufbringen des Halbleiter-Chips auf einen Chipkartenträger, und zwar derart, daß die passive Seite dem Chip-
- 15 kartenträger zugewandt ist,
- Herstellen der vollständigen Chipkarte.

20 Mit dem erfindungsgemäßen Verfahren lassen sich Chipkarten mit besonders großflächig ausgebildeten Halbleiter-Chips versehen, wobei auf dem Halbleiter-Chip umfangreiche Schaltungsstrukturen und sogar großflächige Speicheranordnungen vorgesehen werden können.

- 25 Die folgenden Schritte des erfindungsgemäßen Verfahrens:
- Lösen der Verbindung zwischen Handling-Chip und Halbleiter-Chip durch Passivierung der Klebstoffschicht,
 - Aufbringen des Halbleiter-Chips auf einen Chipkartenträger, und zwar derart, daß die passive Seite dem Chip-
 - 30 kartenträger zugewandt ist,

können auch gleichzeitig oder in vertauschter Reihenfolge durchgeführt werden, um eine flexible und genaue Herstellung zu gewährleisten.

- 35 Die Erfindung beruht auf der Erkenntnis, daß die Größe der im Stand der Technik bekannten Chips und damit deren Komplexität durch deren Stärke begrenzt war. Chipkarten werden nämlich im

Betrieb häufig Biegebelastungen ausgesetzt, die sich auf den in der Chipkarte eingelagerten Chip übertragen. Bei dem im Stand der Technik bekannten Stärken von circa 150 Mikrometern bis 185 Mikrometern der verwendeten Chips können bei einer Durchbiegung der Karte gerade in den Oberflächenbereichen des Chips Zugspannungen entstehen, die zur einer Rißbildung im Chip führen. Bei einer Ausbildung des Chips mit einer geringeren Stärke entstehen bei einer ansonsten gleichen Durchbiegung der Chipkarte geringere Zugspannungen in Oberflächenbereichen des Chips, so daß die Rißgefahr verringert wird. Bei dem erfindungsgemäßen Verfahren lassen sich Chips mit einer Stärke von deutlich weniger als 100 Mikrometern herstellen, was große Chipabmessungen gestattet.

Dabei ist durch das Glätten der aktiven Seite des Halbleiter-Wafers und durch das großflächige Einbringen von elektrisch aktiven Strukturen in die aktive Seite ein zuverlässiges Vorsehen der elektrisch aktiven Strukturen im Halbleiter-Wafer möglich. Wenn nachfolgend der so strukturierte Halbleiter-Wafer mit einer reversiblen Klebstoffschicht an seiner aktiven Seite auf einem Handling-Wafer befestigt wird, läßt sich die passive Seite des Halbleiter-Chips bequem und einfach abtragen. Gemäß der Erfindung kann der Halbleiter-Chip auf der passiven Seite bis zu einer Dicke von 20 Mikrometern bis 50 Mikrometern abgetragen werden. Dadurch läßt sich sogar ein folienartiger Halbleiter-Chip herstellen.

Anschließend kann der so ausgedünnte Halbleiter-Wafer nach auf dem Halbleiter-Wafer in einzelne Halbleiter-Chips aufgeteilt werden, die auf einen Chipkartenträger oder direkt in eine Chipkarte eingebracht werden, wobei die passive Seite einer Seite des Chipkartenträgers zugewandt ist. Vorzugsweise bereits vor dem Einbringen des Halbleiter-Chips auf einen Chipkartenträger wird die Verbindung zwischen dem Handling-Chip und dem Halbleiter-Chip durch Passivierung der Klebstoffschicht gelöst.

Die Chipkarte kann durch Umspritzen des Halbleiter-Chips oder durch Laminierverfahren fertiggestellt werden. Der Halbleiter-Chip kann bedingt durch die günstigen mechanischen Eigenschaften fast die gesamte Fläche der Chipkarte nutzen.

5

Das Abtragen der passiven Seite des Halbleiter-Wafers kann dabei wenigstens teilweise mittels chemischem und/oder mechanischem Dünnschleifen erfolgen. In einem Endschritt des Abtragens des Halbleiter-Wafers kann das Abtragen auch auf wenigstens naßchemische Weise erfolgen. Ein Vorteil des Abtragens auf naßchemische Weise besteht im wesentlichen darin, daß der Halbleiter-Wafer beim Abtragen sehr geringen extern aufgetragenen mechanischen Spannung ausgesetzt ist, was dessen Haltbarkeit verbessert.

15

Eine erfindungswesentliche Grundidee besteht darin, den Halbleiter-Wafer durch Rückseitenätzung auf Folienstärke zu reduzieren, so daß Silizium als Basismaterial seine spröden Materialeigenschaften verliert. Diese Rückseitenätzung auf wenige Mikrometer erlaubt die Herstellung von Siliziumfolien, die dann als Bauelement-Folien beispielsweise in die Kartenproduktion eingehen. Die Folie ist dann Teil der Chipkarte. Die Chipkarte übernimmt die Aufgabe des Gehäuses, so daß Chipgrößen möglich sind, die theoretisch bis nahe zur Kartengröße gehen können. Die Folie wird danach durch nur formschlüssig ausgeführte elektrische Kontakte mit der Außenwelt verbunden. Dabei können die Kontakte aufgedruckt sein, mit einer BGA-Technik ausgeführt sein oder als Modul vorgesehen sein. Die elektrischen Kontakte haben dann nur noch die Funktion von Anschlüssen und nicht mehr die einer mechanischen Schutzfunktion, wie bei den heute verwendeten Modulen.

Die Erfindung umfaßt auch einen Halbleiter-Chip insbesondere zur Verwendung in einer Chipkarte, der eine Dicke von weniger als circa 100 Mikrometern aufweist, wobei der Halbleiter-Chip durch ein erfindungsgemäßes Verfahren hergestellt ist, daß insbesondere die folgenden Schritte aufweist:

- Vorsehen eines Halbleiter-Wafers mit einer großflächigen aktiven Seite,
 - Glätten der aktiven Seite des Halbleiter-Wafers insbesondere mit einem CMP-Verfahren,
 - 5 - Einbringen von elektrisch aktiven Strukturen in die aktive Seite mittels Dotierung,
 - Aufbringen einer reversiblen Klebstoffschicht auf die aktive Seite,
 - Aufringen des Halbleiter-Chips auf einen Handling-Chip, und zwar derart, daß die Klebstoffschicht zwischen dem Halbleiter-Chip und dem Handling-Chip liegt,
 - 10 - Abtragen der passiven Seite des Halbleiter-Chips bis auf eine Stärke von circa 100 Mikrometern.
- 15 Der erfindungsgemäße Halbleiter-Wafer kann nachfolgend in wenigstens einen Halbleiter-Chip aufgeteilt werden, insbesondere durch ein mechanisches Verfahren wie Sägen und/oder durch ein thermisches Verfahren wie Laserschneiden, wobei der Handling-Wafer dabei vorzugsweise nicht zerstört wird.
- 20 Dabei kann nach dem Schritt des Abtragens der passiven Seite des Halbleiter-Chips bis auf eine Stärke von 100 Mikrometern der Schritt des Abtragens der passiven Seite von einer Stärke von 20 Mikrometern bis 50 Mikrometern vorgesehen sein, wobei
- 25 das Abtragen wenigstens teilweise mittels chemischem und/oder mechanischem Dünnschleifen oder auch wenigstens auch teilweise auf naßchemische Weise erfolgen kann.

Der erfindungsgemäße Halbleiter-Chip zeichnet sich durch eine hohe mechanische Flexibilität aus.

30

Die Erfindung ist in der Zeichnung anhand von Ausführungsbeispielen dargestellt.

35 Figur 1 zeigt eine erfindungsgemäße Chipkarte im Querschnitt,

Figur 2 zeigt eine weitere erfindungsgemäße Chipkarte im Querschnitt, und

Figur 3 zeigt einen Querschnitt durch einen erfindungsgemäßen Halbleiter-Chip.

5

Figur 1 zeigt einen Querschnitt durch eine erfindungsgemäße Chipkarte 1, die sich in einen Kartenkörper 2, in eine Chipfolie 3 und in einen Kontaktbereich 4 gliedert. Die Chipfolie 3 ist dabei in einer Gießtechnik mit Kunststoff umspritzt.

10

Der Kartenkörper 2 ist einstückig ausgeführt, so daß die Chipfolie 3 im wesentlichen vollständig vom Kartenkörper umhüllt ist. Der Kontaktbereich 4 ist formschlüssig im Kartenkörper 2 vorgesehen und stellt die Verbindung zwischen der
15 Chipfolie 3 und der Außenwelt dar. Dabei übernehmen elektrische Kontakte 5, die in ein Modul 6 eingesetzt sind, die elektrische Verbindung. Aufgrund der dünnen Ausbildung der Chipfolie 3 ist die Chipkarte 1 hochflexibel und kann in weitem Ausmaß durchgebogen werden, ohne daß die Chipfolie 3 in
20 einem ihrer Oberflächenbereiche Risse zeigt.

Figur 2 zeigt eine weitere erfindungsgemäße Chipkarte 10, die in ihren wesentlichen Teilen der Chipkarte 1 aus Figur 1 entspricht. Den gleichen Bestandteilen sind daher gleiche Bezugsziffern gegeben. Abweichend von Figur 1 ist die Chipfolie
25 3 ist in einer Laminiertechnik fertiggestellt worden.

Im Unterschied zur Chipkarte 1 weist die Chipkarte 10 einen Kartenkörper 11 auf, der mehrschichtig aufgebaut ist. Dazu
30 weist der Kartenkörper 11 eine Tragschicht 12 an der Unterseite des Kartenkörpers sowie eine Deckschicht 13 an der Oberseite des Kartenkörpers 11 auf. Die Chipfolie 3 ist zwischen der Tragschicht 12 und der Deckschicht 13 angeordnet, wobei in Randbereichen des Kartenkörpers 11 Laminierfolien 14 als
35 Verbindungsbereiche vorgesehen sind, um den Kartenkörper 11 vollständig geschlossen zu gestalten.

Bei der Herstellung der Chipkarte 10 wird die Chipfolie 3 mit ihrer passiven Seite auf der Tragschicht 12 befestigt. Daraufhin werden die Laminierfolien 14 und schließlich die Deckschicht 13 auf die Chipfolie 3 und die Tragschicht 12 aufgebracht. In einem abschließenden Schritt wird der Kontaktbereich 4 in die Deckschicht 13 eingesetzt.

Figur 3 zeigt einen erfindungsgemäßen Halbleiter-Chip 20, der über eine Klebstoffschicht 21 auf einem Halbleiter-Chip 22 befestigt ist. Dabei ist eine aktive Seite des Halbleiter-Chips 20 dem Halbleiter-Chip 22 zugewandt, während eine passive Seite des Halbleiter-Chips 20 vom Halbleiter-Chip 22 wegweist. In der aktiven Seite des Halbleiter-Chips 20 ist eine elektrisch aktive Struktur vorgesehen, daß durch eine dünne Strichlinie angedeutet ist.

Patentansprüche

1. Verfahren zur Herstellung einer Chipkarte (1; 10), das die folgenden Schritte aufweist:
 - 5 - Vorsehen eines Halbleiter-Wafers (20) mit einer aktiven Seite und einer passiven Seite,
 - Einbringen von elektrisch aktiven Strukturen in die aktive Seite insbesondere mittels Dotierung,
 - Glätten der aktiven Seite des Halbleiter-Wafers (20) insbesondere mit einem CMP-Verfahren,
 - 10 - Aufbringen einer reversiblen Klebstoffschicht (21) auf die aktive Seite,
 - Aufbringen des Halbleiter-Wafers (20) auf einen Handling-Wafer (22), und zwar derart, daß die Klebstoffschicht (21) zwischen dem Halbleiter-Wafer (20) und dem Handling-Wafer (22) liegt,
 - 15 - Abtragen der passiven Seite des Halbleiter-Wafer (20) bis auf eine Dicke von ca. 100µm oder weniger,
 - Aufteilen des Halbleiter-Wafers (20) in wenigstens einen Halbleiter-Chip (3),
 - 20 - Lösen der Verbindung zwischen Handling-Wafer (22) und Halbleiter-Chip (3) durch Passivierung der Klebstoffschicht (21),
 - Aufbringen des Halbleiter-Chips (3) auf einen Chipkartenträger (12), und zwar derart, daß die passive Seite dem Chipkartenträger (12) zugewandt ist.
 - 25
2. Verfahren zur Herstellung einer Chipkarte gemäß Anspruch 1,
 - 30 dadurch gekennzeichnet, daß nach dem Schritt des Abtragens der passiven Seite des Halbleiter-Chips (3; 20) bis auf eine Dicke von ca. 100µm der Schritt des Abtragens der passiven Seite des Halbleiter-Chips (3; 20) bis auf eine Dicke von ca. 20µm bis
 - 35 50µm vorgesehen ist.

3. Verfahren zur Herstellung einer Chipkarte gemäß Anspruch 1 oder Anspruch 2,
dadurch gekennzeichnet, daß
Schritt des Abtragens der passiven Seite des Halbleiter-Chips (3; 20) wenigstens teilweise mittels chemischem
und/oder mechanischem Dünnschleifen erfolgt.
4. Verfahren zur Herstellung einer Chipkarte gemäß einem der Ansprüche 1 bis 3,
dadurch gekennzeichnet, daß
Schritt des Abtragens der passiven Seite des Halbleiter-Chips (3; 20) wenigstens teilweise auf naßchemische Weise erfolgt.
5. Halbleiter-Chip, insbesondere zur Verwendung in einer Chipkarte, mit einer Dicke von weniger als ca. 100µm, hergestellt durch ein Verfahren, das die folgenden Schritte aufweist:
- Vorsehen eines Halbleiter-Wafers (20) mit einer aktiven Seite und einer passiven Seite,
 - Einbringen von elektrisch aktiven Strukturen in die aktive Seite insbesondere mittels Dotierung,
 - Glätten der aktiven Seite des Halbleiter-Wafers (20) insbesondere mit einem CMP-Verfahren,
 - Aufbringen einer reversiblen Klebstoffschicht (21) auf die aktive Seite,
 - Aufbringen des Halbleiter-Wafers (20) auf einen Handling-Wafer (22), und zwar derart, daß die Klebstoffschicht (21) zwischen dem Halbleiter-Wafer (20) und dem Handling-Wafer (22) liegt,
 - Abtragen der passiven Seite des Halbleiter-Wafer (20) bis auf eine Dicke von ca. 100µm oder weniger,
 - Aufteilen des Halbleiter-Wafers (20) in wenigstens einen Halbleiter-Chip (3).

6. Halbleiter-Chip nach Anspruch 5,
dadurch gekennzeichnet, daß
das Verfahren zu seiner Herstellung nach dem Schritt des
Abtragens der passiven Seite des Halbleiter-Wafers (20)
5 bis auf eine Dicke von ca. 100µm der Schritt des Abtra-
gens der passiven Seite des Halbleiter-Wafers (20) bis
auf eine Dicke von ca. 20µm bis 50µm vorgesehen ist.
7. Halbleiter-Chip nach Anspruch 5 oder Anspruch 6,
10 dadurch gekennzeichnet, daß
bei dem Verfahren zu seiner Herstellung der Schritt des
Abtragens der passiven Seite des Halbleiter-Wafers (20)
wenigstens teilweise mittels chemischem und/oder mechani-
schem Dünnschleifen erfolgt.
- 15 8. Halbleiter-Chip nach einem der Ansprüche 5 bis 7,
dadurch gekennzeichnet, daß
bei dem Verfahren zu seiner Herstellung der Schritt des
Abtragens der passiven Seite des Halbleiter-Wafers (20)
20 wenigstens teilweise auf naßchemische Weise erfolgt.

1/1

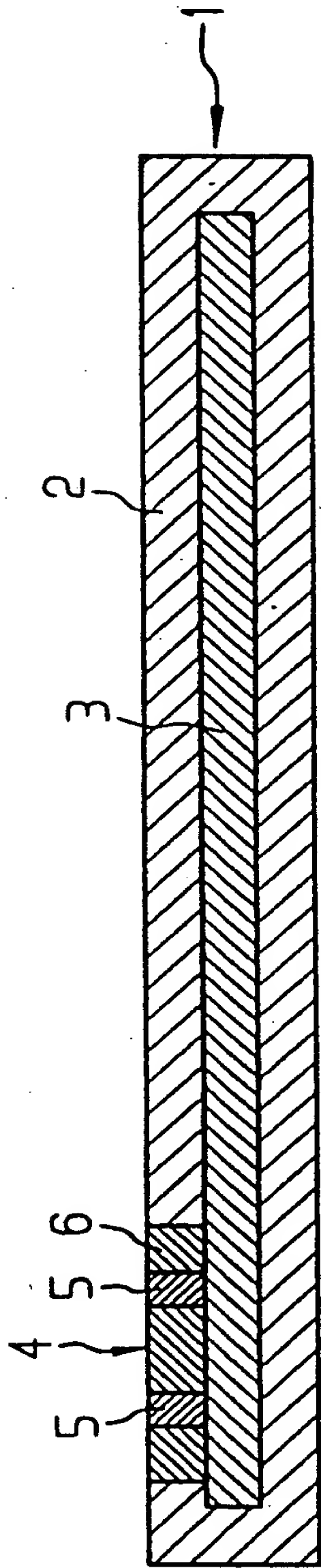


FIG 1

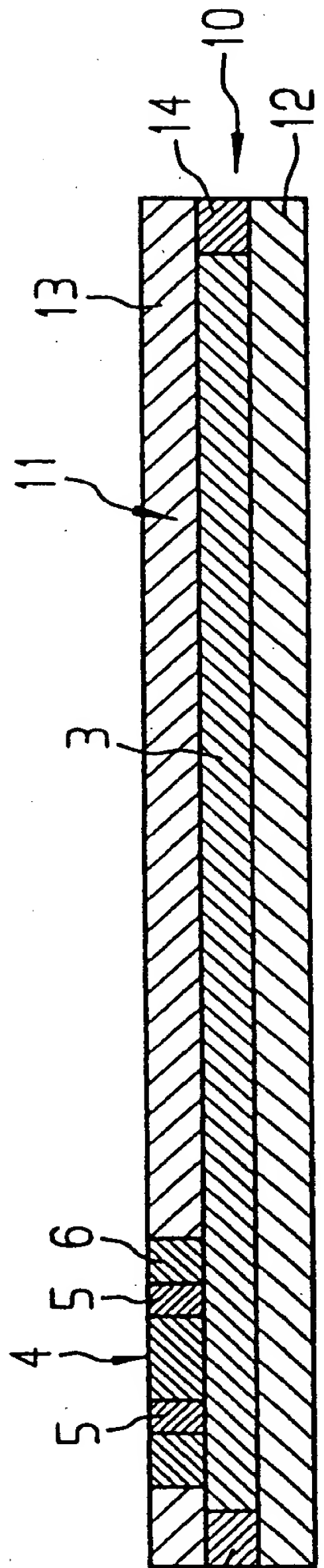


FIG 2

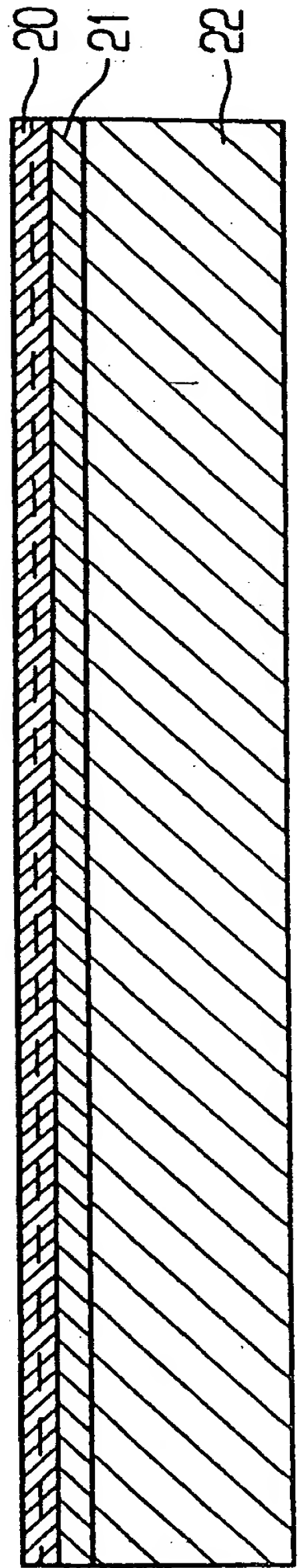


FIG 3

INTERNATIONAL SEARCH REPORT

International Application No

PCT/DE 98/03228

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H01L23/498 H01L21/68

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 6 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 155 068 A (TADA NOBURU) 13 October 1992 see the whole document ----	1-8
Y	EP 0 637 841 A (HITACHI LTD) 8 February 1995 see the whole document ----	1-8
A	"DISCLOSED ANONYMOUSLY" RESEARCH DISCLOSURE, no. 348, 1 April 1993, page 280 XP000304243 see the whole document ----	1,5
P,A	US 5 703 755 A (FLESHER H KELLY ET AL) 30 December 1997 see the whole document -----	1-8

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search

25 March 1999

Date of mailing of the international search report

01/04/1999

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Prohaska, G

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/DE 98/03228

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5155068 A	13-10-1992	JP 3087299 A	12-04-1991
EP 0637841 A	08-02-1995	EP 0862134 A	02-09-1998
		JP 7099267 A	11-04-1995
		US 5689136 A	18-11-1997
US 5703755 A	30-12-1997	US 5733814 A	31-03-1998

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/DE 98/03228

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
IPK 6 H01L23/498 H01L21/68

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 6 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	US 5 155 068 A (TADA NOBURU) 13. Oktober 1992 siehe das ganze Dokument	1-8
Y	EP 0 637 841 A (HITACHI LTD) 8. Februar 1995 siehe das ganze Dokument	1-8
A	"DISCLOSED ANONYMOUSLY" RESEARCH DISCLOSURE, Nr. 348, 1. April 1993, Seite 280 XP000304243 siehe das ganze Dokument	1,5
P, A	US 5 703 755 A (FLESHER H KELLY ET AL) 30. Dezember 1997 siehe das ganze Dokument	1-8

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen:

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

25. März 1999

Absenddatum des internationalen Recherchenberichts

01/04/1999

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Prohaska, G

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/DE 98/03228

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5155068	A	13-10-1992	JP	3087299 A	12-04-1991
EP 0637841	A	08-02-1995	EP	0862134 A	02-09-1998
			JP	7099267 A	11-04-1995
			US	5689136 A	18-11-1997
US 5703755	A	30-12-1997	US	5733814 A	31-03-1998

THIS PAGE BLANK (USPTO)